



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0075680  
Application Number

출원 년 월 일 : 2002년 11월 30일  
Date of Application NOV 30, 2002

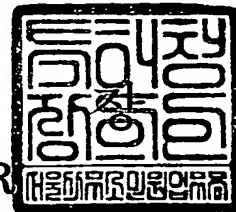
출원인 : 주식회사 세라텍  
Applicant(s) CERATECH CORPORATION



2003 년 09 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002. 11. 30
【국제특허분류】	H01F 1/00
【발명의 명칭】	칩타입 파워인덕터 및 그 제조방법
【발명의 영문명칭】	CHIP TYPE POWER INDUCTOR AND FABRICATION METHOD THEREOF
【출원인】	
【명칭】	주식회사 세라텍
【출원인코드】	1-1998-002400-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	2001-051027-1
【발명자】	
【성명의 국문표기】	최명희
【성명의 영문표기】	CHOI, Myoung Hui
【주민등록번호】	740615-2019017
【우편번호】	143-200
【주소】	서울특별시 광진구 구의동 558-9 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	홍순규
【성명의 영문표기】	HONG, Soon Gyu
【주민등록번호】	700415-1162411
【우편번호】	440-302
【주소】	경기도 수원시 장안구 정자2동 30-9 현대아파트 102동 809호
【국적】	KR
【발명자】	
【성명의 국문표기】	장상은
【성명의 영문표기】	JANG, Sang Eun

【주민등록번호】 790120-2168322  
【우편번호】 435-041  
【주소】 경기도 군포시 산본1동 78-29  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 7 면 7,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 10 항 429,000 원  
【합계】 465,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 칩타입 파워인덕터에 관한 것으로, 다수의 층으로 적층되어 있는 코어자성체와, 상기 코어자성체의 내부에 삽입되어 있는 비자성체층이 일체로 형성된 적층체로 구성되며, 상기 코어자성체를 구성하는 다수의 층의 상면 또는 하면 중 적어도 일면에는 코일패턴이 형성되어 있고, 상기 코일패턴간의 전기적인 연결을 위하여 코어자성체를 구성하는 다수의 층에는 비아홀이 형성되어 있는 칩타입 파워인덕터를 제공한다. 본 발명에 따르면 파워인덕터 내부에 형성된 비자성체층에 의해 자기포화가 억제되어 종래의 적층형 칩 인덕터에서는 구현할 수 없었던 수백 mA ~ 1A 대의 직류중첩특성을 얻을 수 있다.

**【대표도】**

도 2b

**【색인어】**

칩타입 파워인덕터, 자기포화, 마이크로갭

## 【명세서】

## 【발명의 명칭】

칩타입 파워인덕터 및 그 제조방법{CHIP TYPE POWER INDUCTOR AND FABRICATION METHOD THEREOF}

## 【도면의 간단한 설명】

도 1은 종래의 칩타입 파워인덕터의 구조를 보여주는 단면모식도.

도 2a는 본 발명에 의한 칩타입 파워인덕터의 구조를 보여주는 단면모식도.

도 2b는 본 발명에 의한 칩타입 파워인덕터의 또 다른 구조를 보여주는 단면모식도.

도 3은 칩타입 파워인덕터의 구조에 따른 전기적특성을 보여주는 그래프.

도 4a는 캐리어필름위에 자성체막 또는 비자성체막이 캐스팅된 것을 보여주는 모식도.

도 4b는 자성체막 또는 비자성체막에 비아홀과 커팅라인을 형성하는 모식도.

도 4c는 비자성체막에 전극패턴을 형성하는 모식도.

도 4d는 불필요한 부분이 제거된 비자성체막을 보여주는 모식도.

도 4e는 불필요한 부분이 제거된 자성체막을 보여주는 모식도.

도 5a는 본 발명에 의한 칩타입 파워인덕터의 적층 공정도.

도 5b는 본 발명에 의한 칩타입 파워인덕터의 또 다른 적층 공정도.

도 6a는 도 5a의 공정에 의하여 제조된 칩타입 파워인덕터를 보여주는 모식도.

도 6b는 도 5b의 공정에 의하여 제조된 칩타입 파워인덕터를 보여주는 모식도.

도 6c는 제조된 칩타입 파워인덕터의 내부를 보여주는 사시도.

도 6d는 제조된 칩타입 파워인덕터의 내부를 보여주는 단면도.

도 6e는 외부전극이 형성된 칩타입 파워인덕터.

\*\*\* 도면의 주요부분에 대한 부호의 설명 \*\*\*

40:캐리어필름    42:자성체막(또는 비자성체막) 그린시트

42a:비자성체막    42b:자성체막

42c:(중간에 삽입되는) 비자성체막

46:비아홀    48:전극패턴

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22>        본 발명은 칩타입 파워인덕터에 관한 것이다.

<23>        일반적으로 칩타입 인덕터는 신호라인용 인덕터와 파워용 혹은 전원라인용 인덕터로 나누어지는 데, 신호라인용 인덕터가 수 mA ~ 수십 mA의 정격전류 범위를 갖는 반면 파워인덕터는 수백 mA ~ 수 A 정도의 비교적 큰 정격전류가 요구된다.

<24>        전자기기의 소형화에 따라 이들에 사용되는 전자부품 또한 소형화, 경량화가 진행되고 있다. 그러나 이러한 전자기기에 사용되는 전원회로의 상대적인 용적비율은 전자기기 전체의 체적에 대해 증가하는 경향이 있다. 이것은 각종 전자회로에 사용되는 CPU를 비롯한 각종 LSI가 고속화, 고집적화하고 있는데 반하여, 전원회로의 필수 회로요소인 인덕터 및 변압기와 같은 자기 부품은 소형화가 어렵다는 사실에 기인한다.

- <25> 인덕터 및 변압기와 같은 자기부품은 소형화되어 자성체의 용적이 감소하면 자기코어가 자기포화 되기 쉬워져, 전원으로서 다룰 수 있는 전류량이 줄어드는 문제가 발생한다.
- <26> 인덕터의 제조에 사용되는 자성체 재료는 페라이트계와 금속자성체계가 있는데, 대량생산 및 소형화에 유리한 적층형 칩타입 인덕터에는 페라이트계 자성재료가 주로 사용된다. 그러나 페라이트는 투자율과 전기저항이 높은 반면 포화자속밀도가 낮으므로 그대로 사용하면 자기포화에 의한 인덕턴스의 저하가 크고, 직류 중첩특성이 나빠진다. 따라서 종래의 칩타입 파워인덕터는 손실이 크고, 전기저항이 낮지만 포화자속밀도가 높은 금속계자성재료에 도선을 감은 권선형 파워인덕터가 대부분이었고, 적층형 제품의 경우는 사용할 수 있는 전류범위가 매우 작았다.
- <27> 최근 휴대형 기기 급속한 증가에 따라 배터리의 소모를 최소화할 수 있는 저전력 소모형 부품에 대한 요구가 증가함에 따라, 효율이 높고 발열이 작은 D급 앰프의 사용이 카-스테레오, PDA, 노트북, PC 등을 중심으로 증가하고 있다. A급, B급과 같은 일반적인 앰프가 진공관 및 트랜지스터 등의 증폭기능(아날로그 처리)을 이용하고 있는데 반하여, D급앰프는 스위치를 고속으로 ON/OFF하는 스위칭동작(디지털처리)에 의해 신호를 증폭하는 앰프이다. D급 앰프는 효율이 높기 때문에 앰프의 내부에서 발생하는 열량이 작아 대형의 파워 패키지 및 히트싱크를 생략할 수 있어 소형화에 유리하다는 장점도 있다. D급 앰프의 출력은 Low Pass Filter를 통하여 스피커에 공급되는데, 이러한 Low Pass Filter를 구성하는 인덕터는 소형으로 저손실, 대전류 특성을 가져야 한다. 현재 D급 앰프용 파워인덕터는 권선형 제품이 주류를 이루고 있으나, 권선형 제품은 상술한 바와 같이 소형화에 한계가 있어 휴대형 기기 등에 탑재가 용이한 소형의 적층형 파워인덕터의 개발이 절실히 요구되어 왔다.

**【발명이 이루고자 하는 기술적 과제】**

- <28> 따라서 본 발명의 목적은 자기포화로 인한 전류의 제한이 적은 소형의 적층형 파워인덕터를 제공하는데 있다.
- <29> 또한, 본 발명의 다른 목적은 생산성 및 경제성이 뛰어난 칩타입 파워인덕터 제조방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

- <30> 본 발명은 칩타입 파워인덕터에서 바이어스 전류에 의해 코어자성체가 낮은 전류에서 자기포화(magnetic saturation)되는 것을 막기 위하여 코어자성체에 마이크로갭(gap)을 형성한다. 본 발명의 실시예에서 코어자성체를 구성하는 자성체 내부에 비자성체층을 형성하여 마이크로갭으로 작용하게 하였다.
- <31> 구체적으로 본 발명은 다수의 층으로 적층되어 있는 코어자성체와, 상기 다수의 코어자성체층의 내부에 삽입되어 있는 비자성체층이 일체로 형성된 적층체로 구성되며, 상기 코어자성체를 구성하는 다수의 층의 상면 또는 하면 중 적어도 일면에는 코일패턴이 형성되어 있고, 상기 코일패턴간의 전기적인 연결을 위하여 코어자성체를 구성하는 다수의 층에는 비아홀이 형성되어 있는 칩타입 파워인덕터를 제공한다.
- <32> 상기 코어자성체를 구성하는 각각의 층은, 각각 중앙에 개구부가 형성되어 있고, 상면 및 하면 중 적어도 일면에 전극패턴이 형성되어 있는 비자성체전극층; 및 상기 비자성체전극층의 중앙 개구부 및 상기 비자성체전극층의 측면에 위치하는 자성체층;이 하나의 레이어를 이루어 구성될 수 있다.



- <33> 비자성체로는  $B_2O_3$ - $SiO_2$ 계 유리,  $Al_2O_3$ - $SiO_2$ 계 유리 또는 기타 세라믹 물질이 사용되며, 자성체로는 페라이트, Ni계, Ni-Zn계, Ni-Zn-Cu계 등의 물질이 사용된다.
- <34> 본 발명은 페라이트에 의해 형성되는 자기 경로(magnetic path)에 비자성체 마이크로갭을 형성시켜 줌으로써 낮은 전류에서 자기포화가 일어나는 것을 막는다. 따라서, 제품의 사용 가능한 전류범위가 크게 확대된다.
- <35> 또한, 본 발명은 캐리어 필름 상에 각각 자성체막과 비자성체막을 형성한 그린시트를 준비하고; 상기 자성체막과 비자성체막 그린시트에 커팅라인을 형성하고; 커팅라인이 형성된 비자성체막 그린시트에는 비아홀을 형성하고, 그린시트 상면에 전극패턴을 형성하고; 자성체막 및 비자성체막 그린시트에서 불필요한 부분을 제거하여 남아있는 부분과 제거된 부분이 서로 대응되도록 하고; 커팅라인이 형성되지 않고 전극패턴이 형성되지 않은 비자성체막을 중간에 삽입한 채로, 자성체막과 비아홀과 전극패턴이 형성된 비자성체막을 하나의 단위 레이어로 하여 다수의 레이어들을 적층하고; 자성체막으로 구성되는 커버층을 상기 적층된 레이어들의 양면에 적층하고; 적층된 적층체를 소성하고, 소성한 적층체의 외부면에 전극단자를 형성하는 단계를 포함하여 이루어지는 칩타입 파워인덕터 제조방법을 제공한다.
- <36> 본 발명에 따른 칩타입 파워인덕터의 구조 및 그 제조방법에 따라, 내부에 형성된 비자성체 마이크로갭에 의해 자기포화를 억제하므로 종래의 적층형 칩 인덕터에서는 구현할 수 없었던 수백 mA ~ 1A대의 직류중첩특성을 가지며, 소형의 휴대용 기기에 사용하기 적합한 소형 경량의 칩 파워인덕터를 얻을 수 있다.
- <37> 이하 도면을 참조하며 본 발명의 특징 및 구체적인 실시예를 설명한다.

- <38> 칩타입 파워인덕터의 일례를 도 1에 도시하였다. 다수의 자성체층이 적층되어 일체로 형성된 코어자성체(10) 내부에는 전극패턴(12)이 형성되어 있다. 이와 같은 구조의 칩타입 파워인덕터는 낮은 전류에서 자기포화되는 것을 막을 수 없다.
- <39> 도 2a는 본 발명에 의한 파워인덕터의 기본 구조로, 코어자성체(20) 내부에 비자성체층(24)을 형성하는 것이다. 이와 같은 비자성체층은 코어자성체의 자기저항을 증가시켜 낮은 전류에서 자기포화가 발생하는 것을 방지한다. 코어자성체는 여러개의 단위 레이어들로 구성되며, 각각의 레이어에는 전극패턴(22)이 형성된다. 비자성체층(24)은 코어자성체를 구성하는 여러개의 레이어 사이의 어느 한 곳에 삽입되는 것이 바람직하며, 그 두께는 파워인덕터의 전기적 특성을 고려하여 결정한다. 상기 비자성체층에는 전극패턴이 형성될 필요가 없으며, 비자성체층 상하면에 위치하는 레이어들 상에 형성된 전극패턴을 전기적으로 연결할 수 있도록 비아홀이 형성되는 것이 바람직하다.
- <40> 도 2b는 본 발명의 파워인덕터의 변형된 예를 보여주는 단면 모식도로서, 다수의 층이 적층되어 있는 코어자성체가 자성체 영역(30)과 비자성체 영역(36)으로 나뉘어져 있다. 자성체 영역은 상기 비자성체 영역 사이의 중앙자성체와 상기 비자성체 바깥쪽의 주변자성체로 나뉘어져 있다. 코어자성체 내부에는 비자성체층(34)이 삽입되어 있어, 도 2a의 실시예에서와 마찬가지로 코어자성체의 자로를 차폐하여 자기저항을 증가시키게 된다. 각각의 영역은 서로 독립된 형태로 보이지만, 실제 제조시에는 각 영역들이 하나의 레이어를 구성하고, 이러한 레이어들이 적층되어 일체로 형성된다. 자세한 제조 공정은 후술한다. 이와 같은 구조의 파워인덕터에서 코어자성체 내부의 비자성체 영역을 구성하는 각각의 레이어의 상면 또는 하면 중 적어도 어느 일면에 전극패턴(32)이 형성된다. 비자성체 레이어에 전극패턴을 형성하게 되면 전극패턴이 형

성되는 각 레이어들의 두께가 작아짐에 따라 나타날 수 있는 절연성 열화를 막을 수 있고, 또한 기생용량의 발생이 억제되므로 주파수특성이 개선된다.

<41> 아래의 표 1은 도 1, 도 2a 및 도 2b에 도시된 각각의 구조를 갖는 파워인덕터의 전기적인 특성을 나타낸 것이며, 도 3에는 이 결과를 그래프로 도시하였다.

<42> 【표 1】

설계된 파워인덕터의 각 구조에 따른 전기적 특성 비교

	인덕턴스( $\mu$ H)	자기포화 전류(mA)
비자성체층이 삽입되지 않은 경우 (도 1)	30	50
비자성체층이 삽입되고 자성체만으로 이루어진 경우 (도 2a)	4	260
비자성체층이 삽입되고 자성체와 비자성체로 이루어진 경우 (도 2a)	3	1250

<43> 위 표에서 자기포화 전류는 DC 바이어스를 인가하였을 때 인덕턴스 값이 10% 줄어들었을 때의 전류값을 나타낸 것이다. 비자성체층이 삽입되지 않은 경우에는 인덕턴스는 크지만 50mA에서 자기포화되는 것을 알 수 있다. 반면, 비자성체층이 삽입된 파워인덕터의 경우 자기포화 전류값이 커졌으며, 특히 비자성체층이 삽입되고 자성체와 비자성체로 이루어진 경우 자기포화 전류값이 1A를 넘어 비자성체층이 삽입되지 않은 경우보다 20 배 이상 증가한 것을 알 수 있다.

<44> 이와 같은 본 발명에 의한 파워인덕터는 전기적 특성에서의 향상 뿐만 아니라 제조방법에 있어서도 높은 생산성 및 경제성을 제공해줄 수 있다. 도 2a에 도시된 파워인덕터 구조는 여러층의 자성체 시트상에 전극패턴을 형성하고 이러한 자성체 시트들을 적층하며, 적층된 시트 내부에 전극패턴이 형성되지 않은 비자성체층을 삽입하는 것으로 이루어진다. 이하, 도 2b

에 도시된 파워인덕터 구조를 중심으로 세부적인 공정을 설명하며, 이러한 공정은 도 2a에 도시된 구조에도 적용될 수 있음은 물론이다.

<45> 먼저 도 4a 내지 4e를 참조하여 각각의 단위공정을 살펴보면 다음과 같다. 도 4a는 그린시트를 준비하는 단계를 보여준다. 캐리어필름(carrier film)(40)상에 자성체막이나 비자성체막(42)을 형성한다. 본 발명에서는 후막 적층공정에서 사용되는 닥터브레이드 테이프 캐스팅(Doctor Blade Tape Casting) 방식을 이용하여 캐리어 필름 위에 슬러리(Slurry)화 된 자성체 또는 비자성체의 그린시트를 각각 도포한다. 캐리어필름으로는 PET 필름을 사용하며, 이 밖에도 다른 재료들이 사용될 수 있으며, 캐리어 필름은 각 층의 제조가 완성된 후 각각의 층을 순서대로 적층할 때는 제거된다.

<46> 캐리어필름상에 자성체막이나 비자성체막을 형성한 그린시트는 그 자체만으로 혹은 여러 층을 적층하여 커버층으로 사용할 수 있다.

<47> 그린시트를 형성한 후에는 도 4b에 도시된 바와 같이 일정한 형태로 커팅라인을 형성한다. 커팅라인은 양 측면 커팅라인(44a)과 내부 윈도우용 커팅라인(44b)이 있다. 커팅라인은 레이저 가공이나 기계적 가공등을 이용할 수 있으며, 캐리어필름이 손상되지 않도록 주의한다. 도 4b의 커팅 공정은 자성체막이나 비자성체막이 형성된 그린 시트 모두에 적용된다.

<48> 커팅라인이 형성된 자성체막이나 비자성체막 그린 시트는 그 자체만으로 혹은 여러층을 적층하여 버퍼층으로 사용될 수 있다. 한편, 내부 윈도우용 커팅라인이 형성되지 않은 비자성체막 그린 시트는 그 자체로 혹은 여러 층을 겹쳐서 코어자성체 내부에 삽입되는 비자성체층으로 사용된다.

- <49> 한편, 비자성체막이 형성된 그린 시트(42a)에는 도 4b에 도시된 바와 같이 커팅라인(44a, 44b) 이외에 비아홀(46)을 형성한다. 비아홀은 레이저 펀칭(Laser Punching)이나 기계적 펀칭(Mechanical Punching) 방법 등을 이용한다.
- <50> 커팅라인과 비아홀을 형성한 비자성체 그린시트(42a)는 도 4c에 도시된 바와 같이 전극패턴(48)을 형성한다. 전극패턴은 비자성체전극층의 순서에 따라 서로 다른 패턴(예를 들면, 제1시트의 전극패턴과 제2시트의 전극패턴이 서로 대칭되는 형태)으로 형성할 수 있으며, 코일 부품의 사용 목적에 따라 다양한 모양으로 변형시킬 수 있을 것이다. 비자성체 그린시트(42a) 중 적어도 어느 하나에는 전극패턴의 한쪽 끝이 외부에 연장되어 전기적인 접속을 할 수 있도록 그린시트 끝단까지 형성한다. 전극패턴은 스크린프린팅(Screen Printing) 방식을 이용하여 비자성체 그린시트 상면에 전도성 페이스트를 인쇄하고, 비아홀(46)에도 전도성물질을 채워넣는다. 도 4c를 보면 형성된 전극패턴(48)의 일부 끝단이 비아홀(46) 연결되어 있는 것을 볼 수 있다. 이와 같은 형태는 각각의 비자성체층상의 전극패턴을 레이어별로 서로 전기적으로 연결하거나 연결되지 않도록 하는 수단이 된다.
- <51> 커팅라인이 형성된 자성체 그린시트와 전극패턴이 형성된 비자성체 그린시트는 불필요한 부분을 제거(Pick-up)하게 된다. 이때 자성체 그린 시트와 비자성체 그린 시트는 각각 반대되는 영역을 제거하여, 이후 설명되는 적층(Stacking) 공정시 각각의 자성체 그린 시트와 비자성체 그린 시트가 단일한 하나의 레이어를 구성할 수 있도록 한다. 도 4d 및 4e는 각각 불필요한 부분이 제거된 비자성체 그린 시트와 자성체 그린 시트를 보여주고 있다. 도 4d는 비자성체 그린시트로서 중앙 영역과 주변 영역이 제거된 것을 볼 수 있고, 도 4e는 자성체 그린시트로서 비자성체 그린시트와 반대되는 영역에만 자성체층(42b)이 남아 있는 것을 볼 수 있다. 한편, 도 4e에서 보여지는 자성체 그린 시트에서 중앙의 자성체층을 제거한 것을 전술한 내부

윈도우용 커팅라인이 형성되지 않은 비자성체막 그린 시트와 함께 코어자성체 내부에 삽입되는 비자성체층으로 사용하게 된다.

- <52> 각 층의 제조가 끝나면 순서에 따라 각각의 층을 적층하는 공정을 수행한다. 도 5a는 적층 공정을 도시한 것으로 각각의 층이 순서에 따라 하나로 적층된다.
- <53> 커버층(51)을 양끝에 두고 자성체막(42b)과 비자성체막(42a)이 하나의 레이어를 이루어 구성되는 다수의 전극층들이 적층된다. 커버층은 자성체로 이루어져 있으나 다른 실시예로서 자성체층과 비자성체층이 함께 형성될 수도 있다(도 5b참조, 51:자성체 커버층, 52:비자성체 커버층). 이 추가적인 비자성체 커버층은 소결과정에서 발생할 수 있는 자성체층과 비자성체층 사이의 미소한 열팽창율 차이를 완화시켜 제품의 기계적 구조를 안정화시키는 역할을 한다.
- <54> 비자성체막에 형성된 전극패턴이 상부의 커버층과 직접 맞닿는 것을 방지하기 위하여 전극패턴이 형성되지 않은 비자성체막(42')을 버퍼층으로 사용할 수도 있다. 커버층과 버퍼층은 도 4a 및 도 4b에 도시된 공정에서 제조된 그린 시트 및 커팅라인이 형성된 그린 시트를 캐리어 필름이 제거된 채로 사용한다.
- <55> 전극층은 도 4d 및 4e에 도시된 공정에서 제조된 비자성체막(42a)과 자성체막(42b)을 교대로 적층하여 형성한다. 도면에는 전극층이 4개의 레이어로 구성되어 있으나 실제로는 이 보다 많은 수의 레이어들이 적층되는 것이 바람직하다. 비자성체막(42a)과 자성체막(42b)이 교대로 적층되어 동일 레이어에 자성체와 비자성체가 존재하게 된다. 이와 같은 적층에 의해 비자성체막에 형성된 전극패턴들은 상호 전기적으로 연결되는데, 전극 패턴(도 4c의 48)의 일부 끝단이 비아홀(도 4c의 46)에 연결되어 다른 층의 전극패턴의 끝단에 전기적으로 연결된다.

- <56> 적층되는 전극층들 사이에는 전극패턴이 형성되지 않은 비자성체막(42c)이 삽입되어 적층체 내부의 자로(Magnetic Path)를 차폐하는 마이크로갭을 형성하게 된다. 이 비자성체막(42c)은 자성체막(42b')과 함께 하나의 레이어를 구성하게 된다. 도면에서는 이러한 내부 자속 단속층이 하나의 비자성체막으로 이루어져 있지만, 최종적인 제품의 전기적 특성에 따라 여러 개의 비자성체막을 삽입할 수도 있을 것이다.
- <57> 한편, 비자성체막에 형성된 전극패턴중 적어도 어느 하나는 끝단이 외부와의 전기적인 접촉을 위하여 비자성체층의 모서리까지 연장되어 있으며, 적층이 끝난 후 상기 연장된 끝단에는 외부 전극단자가 형성된다. 적층이 끝난 후의 모습을 도 6a에 도시하였다. 외부로 연장된 전극패턴의 끝단(46')을 볼수 있다. 도 6b는 도 5b의 공정에 의하여 커버층으로 비자성체층(52)이 추가로 형성된 예를 보여주고 있다. 한편, 도 6c와 6d는 제조된 파워인덕터의 내부를 보여주는 사시도 및 단면도이다.
- <58> 적층후 적층체를 소성하여 내부전극패턴, 비자성체, 자성체를 동시에 소성시키면 코일 형태의 전극패턴, 비자성체인 절연체영역, 자성체로 이루어지는 자로(Magnetic Path)가 형성된다.
- <59> 소성이 끝난 후에는 딥핑(Dipping)이나 롤러(Roller) 등을 이용하여 측면에 외부 전극단자를 형성한다. 도 6e는 외부 전극단자가 형성된 최종적인 제품을 도시하고 있다.
- <60> 이상과 같은 제조공정에 의하여 본 발명의 적층형 코일 부품을 경제적으로 제조할 수 있으며, 특히 대량의 제품을 빠른 시간안에 제조하는 것이 가능하다.

**【발명의 효과】**

<61> 이상과 같이 본 발명에 따르면 파워인덕터 내부의 자기 플럭스를 제어할 수 있어 종래의 적층형 칩타입 파워인덕터에서 구현할 수 없었던 수 백 mA ~ 1A 대의 직류중첩특성을 얻을 수 있다. 또한, 매우 작은 크기의 적층형 파워인덕터를 제조할 수 있기 때문에 휴대폰, 노트북, PC, 기타 소형 통신기기 및 전자제품에 사용될 수 있다. 뿐만 아니라, 본 발명의 제조방법에 따르면 생산성이 뛰어나 대량의 제품을 경제적으로 제조할 수 있다.



**【특허청구범위】****【청구항 1】**

다수의 층으로 적층되어 있는 코어자성체와, 상기 코어자성체의 내부에 삽입되어 있는 비자성체층이 일체로 형성된 적층체;

상기 코어자성체를 구성하는 다수의 층의 상면 또는 하면 중 적어도 일면에는 코일패턴이 형성되어 있고,

상기 코일패턴간의 전기적인 연결을 위하여 코어자성체를 구성하는 다수의 층에는 비아홀이 형성되어 있으며,

상기 내부 전극층의 양면에 접촉하는 커버층; 및

상기 전극패턴의 일부와 전기적으로 연결되는 외부 전극단자;

를 포함하여 구성되는 칩타입 파워인덕터.

**【청구항 2】**

제1항에 있어서, 상기 코어자성체를 구성하는 각각의 층은

각각 중앙에 개구부가 형성되어 있고, 상면 및 하면 중 적어도 일면에 전극패턴이 형성되어 있는 비자성체전극층; 및

상기 비자성체전극층의 중앙 개구부 및 상기 비자성체전극층의 측면에 위치하는 자성체층;을 포함하며,

상기 비자성체 전극층 및 자성체층이 하나의 레이어를 이루어 구성되는 칩타입 파워인덕터.

**【청구항 3】**

제1항에 있어서, 상기 커버층은 비자성체층이 추가적으로 포함되는 칩타입 파워인덕터.

**【청구항 4】**

제1항에 있어서, 상기 적층체와 커버층 사이에 전극패턴이 형성되지 않은 비자성체층으로 구성되는 버퍼층을 추가적으로 포함하는 칩타입 파워인덕터.

**【청구항 5】**

제1항에 있어서, 상기 비자성체층은  $B_2O_3$ - $SiO_2$ 계 유리,  $Al_2O_3$ - $SiO_2$ 계 유리 또는 기타 세라믹 물질로 구성되는 칩타입 파워인덕터.

**【청구항 6】**

제1항에 있어서, 자성체는 페라이트, Ni계, Ni-Zn계, Ni-Zn-Cu계 등의 물질로 구성되는 칩타입 파워인덕터.

**【청구항 7】**

캐리어 필름 상에 각각 자성체막과 비자성체막을 형성한 그린시트를 준비하고;

상기 자성체막과 비자성체막 그린시트에 커팅라인을 형성하고;

커팅라인이 형성된 비자성체막 그린시트에는 비아홀을 형성하고, 그린시트 상면에 전극패턴을 형성하고;

자성체막 및 비자성체막 그린시트에서 불필요한 부분을 제거하여 남아있는 부분과 제거된 부분이 서로 대응되도록 하고;

커팅라인이 형성되지 않고 전극패턴이 형성되지 않은 비자성체막을 중간에 삽입한 채로, 자성체막과 비아홀과 전극패턴이 형성된 비자성체막을 하나의 단위 레이어로 하여 다수의 레이어들을 적층하고;

자성체막으로 구성되는 커버층을 상기 적층된 레이어들의 양면에 적층하고;

적층된 적층체를 소성하고,

소성한 적층체의 외부면에 전극단자를 형성하는 단계를 포함하여 이루어지는

칩타입 파워인덕터 제조방법.

#### 【청구항 8】

제7항에 있어서, 캐리어 필름 상에 형성되는 자성체막 및 비자성체막은 닥터블레이드 태입캐스팅에 의하는 칩타입 파워인덕터 제조방법.

#### 【청구항 9】

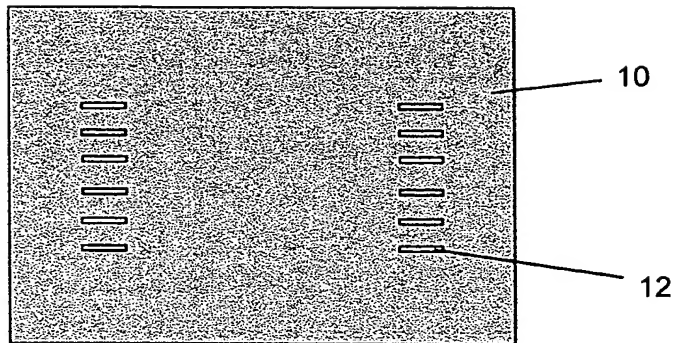
제7항에 있어서, 비자성체막 그린시트 상면의 전극패턴은 스크린 프린팅에 의하여 형성되는 칩타입 파워인덕터 제조방법.

#### 【청구항 10】

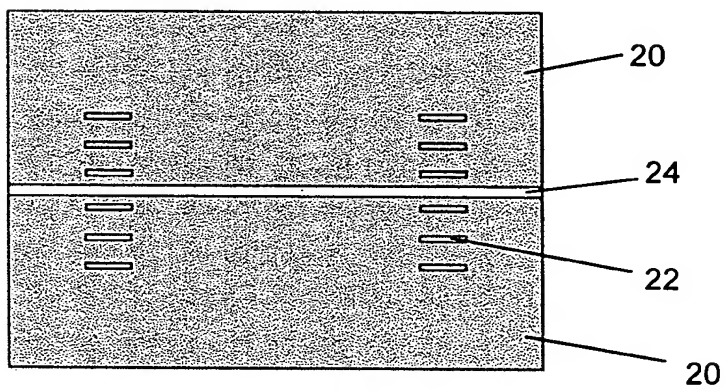
제7항의 방법에 의하여 제조된 칩타입 파워인덕터.

【도면】

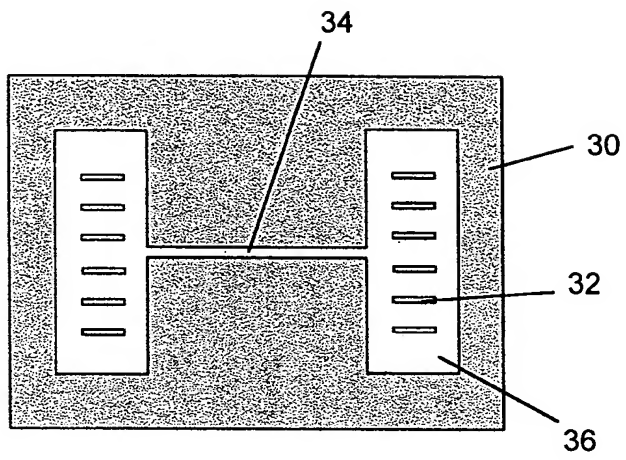
【도 1】



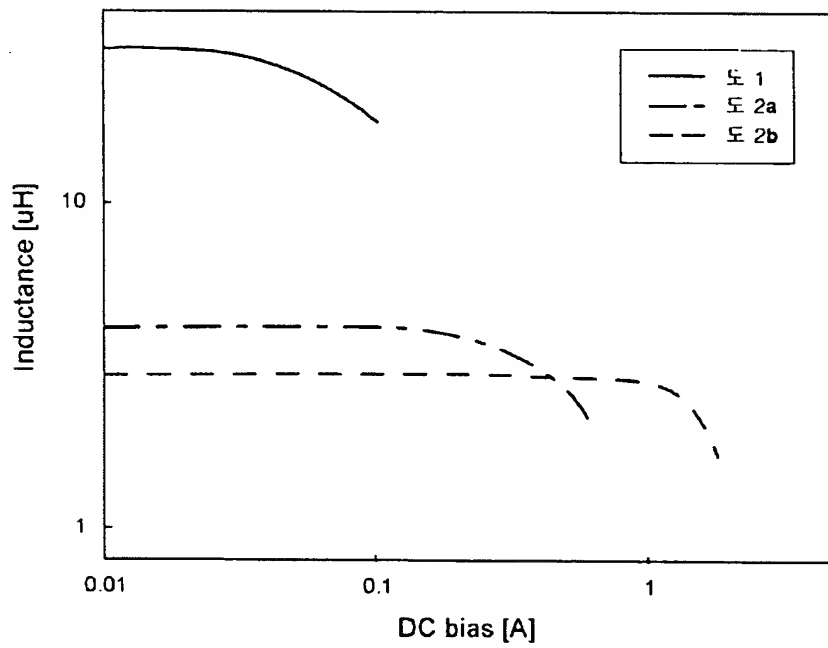
【도 2a】



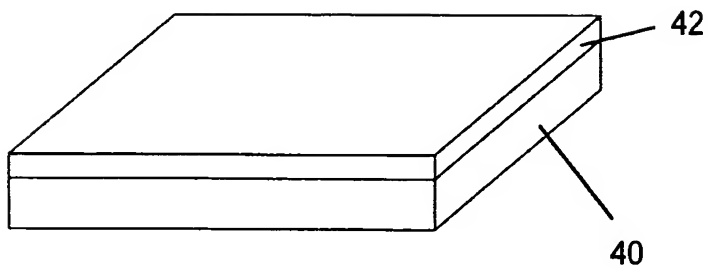
【도 2b】



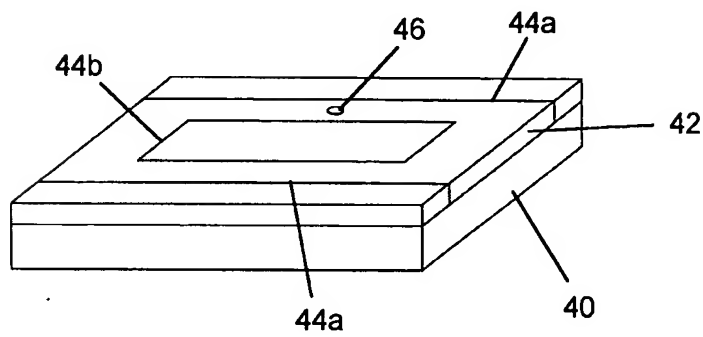
【도 3】



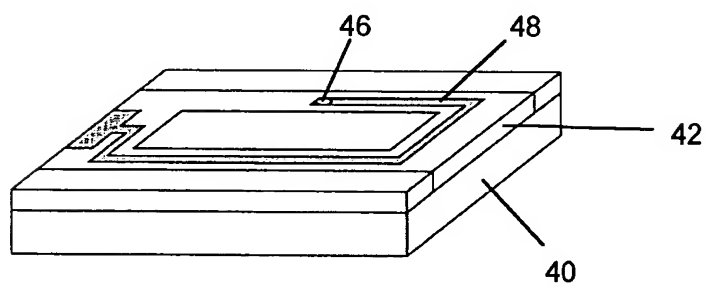
【도 4a】



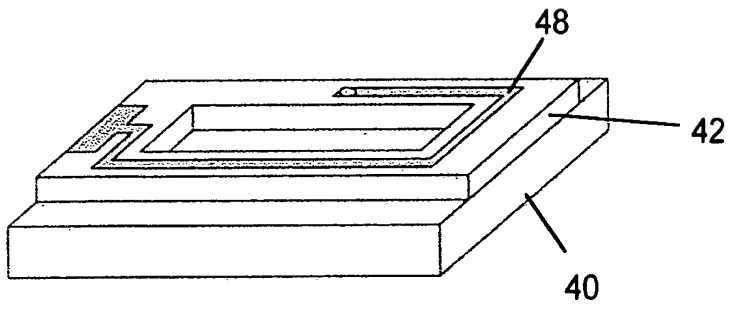
【도 4b】



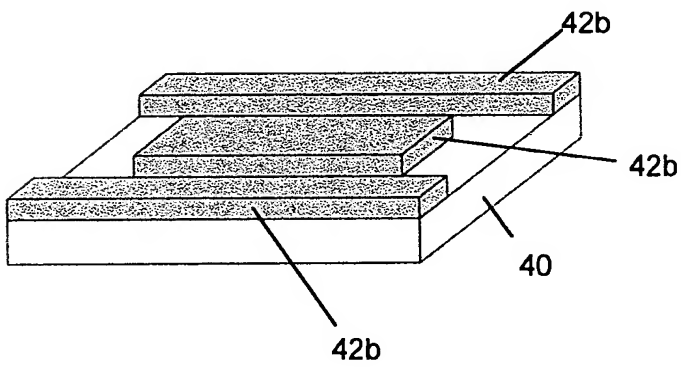
【도 4c】



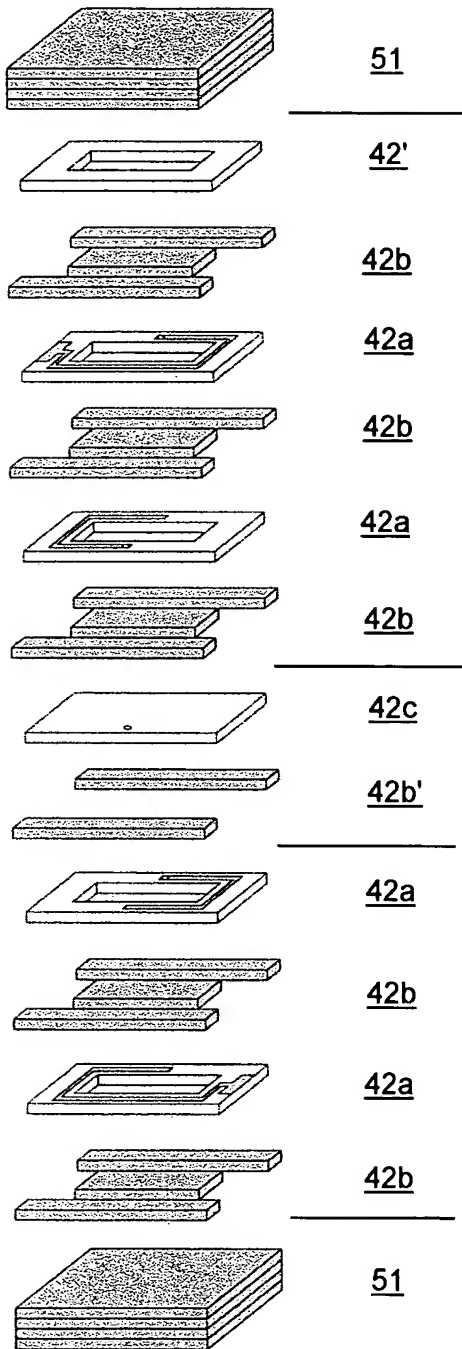
【도 4d】



【도 4e】

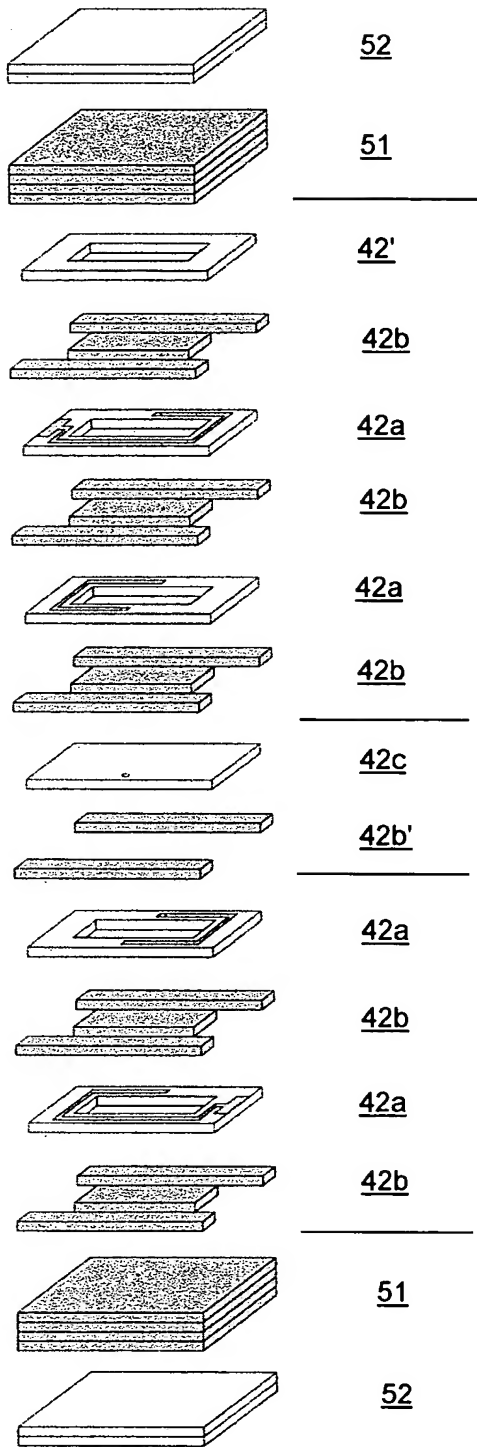


【도 5a】

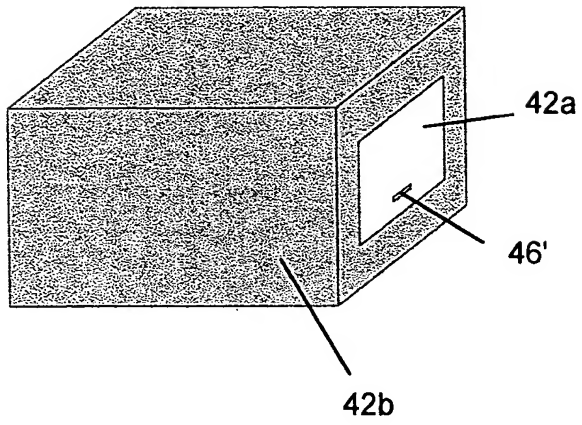




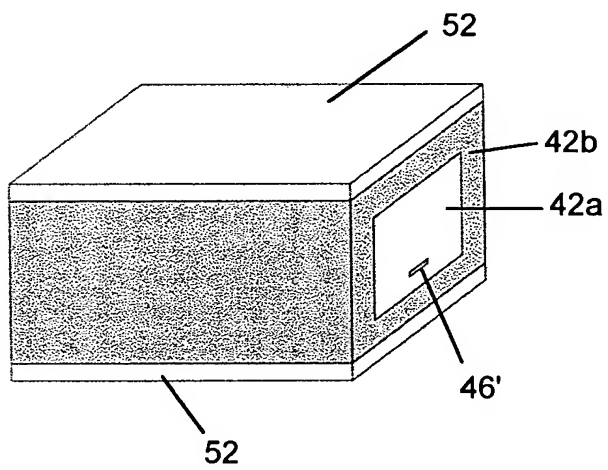
【도 5b】



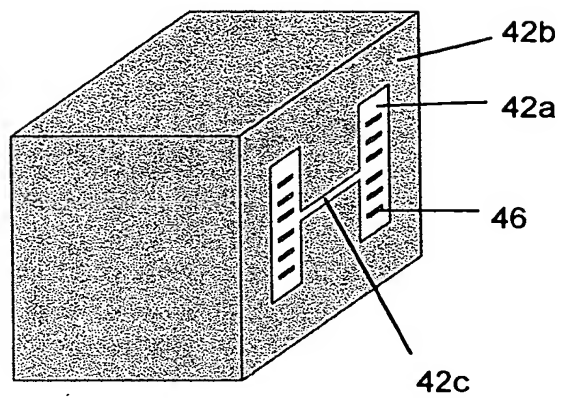
【도 6a】



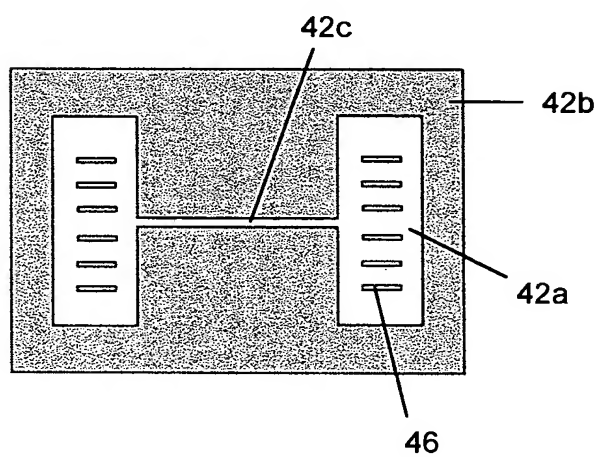
【도 6b】



【도 6c】



【도 6d】



【도 6e】

